

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289763

(43)Date of publication of application : 19.10.1999

(51)Int.Cl.

H02M 3/28

H02M 3/335

(21)Application number : 10-090490

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 03.04.1998

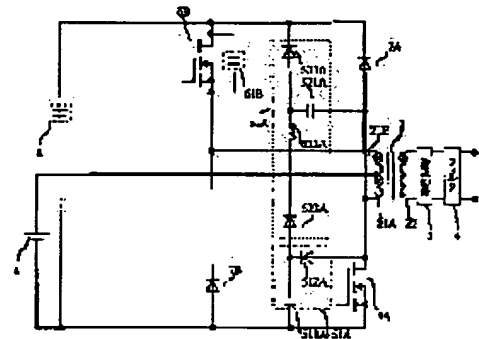
(72)Inventor : GEKITO MASAKAZU

(54) DC-TO-DC CONVERTING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the decrease of the conversion efficiency of a DC-to-DC converting device, without making a snubber circuit larger.

SOLUTION: When semiconductor switched 5A, 6B are turned off, voltage increase rate is suppressed with snubber capacitors 511A 61B. Then, during the period when the semiconductor switch 5A is on, the electric charge which is stored in the snubber capacitor 511A is transferred to an auxiliary capacitor 521A, and that stored in the snubber capacitor 61B to a snubber circuit 8. Then, by switching off the semiconductor switch 5A, the energy stored in the auxiliary capacitor 521A is transferred to the snubber circuit 8 via a regenerative diode 524A. Furthermore, during the period when the semiconductor switch 5A is on, the electric charge stored in the snubber circuit 8 is transferred to a load.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-289763

(43) 公開日 平成11年(1999)10月19日

(51) Int.Cl.⁶

識別記号

F I

H 0 2 M 3/28
3/335

H 0 2 M 3/28
3/335

R
F

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平10-90490

(22) 出願日 平成10年(1998)4月3日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 錦頭 政和

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

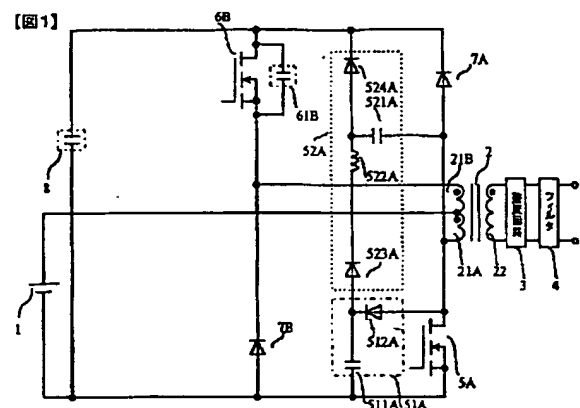
(74) 代理人 弁理士 松崎 清

(54) 【発明の名称】 直流-直流変換装置

(57) 【要約】

【課題】 スナバ回路を大形化せず、直流-直流変換装置の変換効率を低下させないようにする。

【解決手段】 半導体スイッチ 5 A、6 B のターンオフ時には、スナバコンデンサ 5 1 1 A、6 1 B でそれぞれ電圧上昇率を抑制する。次に、半導体スイッチ 5 A がオンの期間に、スナバコンデンサ 5 1 1 A に蓄えられている電荷を補助コンデンサ 5 2 1 A へ移し、スナバコンデンサ 6 1 B に蓄えられている電荷をスナバ回路 8 に移す。そして、半導体スイッチ 5 A をオフにすることで、補助コンデンサ 5 2 1 A に蓄えられているエネルギーを回生ダイオード 5 2 4 A を介してスナバ回路 8 に移す。さらに、半導体スイッチ 5 A がオンしている期間に、スナバ回路 8 に蓄えられている電荷を負荷へ移すことで、課題の解決を図る。



【特許請求の範囲】

【請求項 1】 第 1 のダイオードの一方の端子と第 1 の半導体スイッチ素子の一方の端子とを直列接続した第 1 の直列アームと、第 2 の半導体スイッチ素子の一方の端子と第 2 のダイオードの一方の端子とを直列接続した第 2 の直列アームと、第 1 のスナバ回路とをそれぞれ並列に接続し、かつ、変圧器一次巻線のリセット巻線を接続していない側の端子を前記第 1 の直列アームの接続点に、前記変圧器リセット巻線の一次巻線を接続していない側の端子を前記第 2 の直列アームの接続点に、直流電源を変圧器の一次巻線とリセット巻線の接続点と前記第 1 の半導体スイッチ素子と前記第 2 のダイオードの接続点との間に並列に、前記変圧器の二次巻線には整流回路、この整流回路には平滑回路をそれぞれ接続し、さらに、スナバダイオードとスナバコンデンサとを直列接続した第 2 のスナバ回路を前記第 1 の半導体スイッチ素子と並列に、補助ダイオード、補助リアクトルおよび補助コンデンサを直列接続した直列回路を前記スナバダイオードと並列に、回生ダイオードを前記補助リアクトルと補助コンデンサとの接続点と前記第 1 のダイオードと第 2 の半導体スイッチ素子との並列接続点間に、第 3 のスナバ回路を前記第 2 の半導体スイッチ素子と並列に、それぞれ接続したことを特徴とする直流-直流変換装置。

【請求項 2】 第 1 の半導体スイッチ素子の一方の端子と第 2 の半導体スイッチ素子の一方の端子とを直列接続した第 1 の直列アームと、第 3 の半導体スイッチ素子の一方の端子と第 4 の半導体スイッチ素子の一方の端子とを直列接続した第 2 の直列アームと、第 1 のスナバ回路とを互いに並列に接続し、かつ、中間端子をもつ変圧器一次巻線の一方の端子を前記第 1 の直列アームの直列接続点に、変圧器一次巻線の他方の端子を前記第 2 の直列アームの直列接続点に、直流電源を前記変圧器の中間端子と前記第 2 の半導体スイッチ素子と第 4 の半導体スイッチ素子との並列接続点間に、前記変圧器の二次巻線には整流回路、この整流回路には平滑回路をそれぞれ接続し、さらに、スナバダイオードとスナバコンデンサとを直列接続した第 2、第 3 のスナバ回路を前記第 1、第 3 の半導体スイッチ素子のそれぞれと個別かつ並列に、補助ダイオード、補助リアクトルおよび補助コンデンサを直列接続した直列回路を前記スナバダイオードとそれぞれ個別かつ並列に、第 1、第 2 の回生ダイオードをそれぞれ前記補助リアクトルと補助コンデンサとの接続点と前記第 2 の半導体スイッチ素子と第 4 の半導体スイッチ素子との並列接続点間にそれぞれ個別に、第 4、第 5 のスナバ回路を前記第 2、第 4 の半導体スイッチ素子とそれぞれ個別かつ並列に、それぞれ接続したことを特徴とする直流-直流変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、直流電源から絶

縁された直流電力を取り出す直流-直流変換装置、特に半導体スイッチのオン・オフ動作で電力変換を行なう際に、この半導体スイッチに付属するスナバ回路に蓄積されるエネルギーを回生する機能をもつ直流-直流変換装置に関する。

【0002】

【従来の技術】図 7 に 1 石フォワード型直流-直流変換装置の従来例を示す。同図に示すように、直流電源 1 の正極側端子には変圧器 2 の一次巻線 21A とリセット巻線 21B との接続点が、変圧器 2 の一次巻線 21A の他方の端子と直流電源 1 の負極側端子間には半導体スイッチ素子 5A が、変圧器 2 のリセット巻線 21B の他方の端子と直流電源 1 の負極側端子間にはダイオード 7B が、変圧器 2 の二次巻線 22 には整流回路 3 が、整流回路 3 には平滑フィルタ（平滑回路）4 がそれぞれ接続されて構成されている。

【0003】図 9 に図 7 の動作波形を示す（図 7 のような回路とその動作は、例えば 1984 年誠文堂新光社発行「スイッチングレギュレータの設計方法とパワーデバイスの使いかた」18～19 頁、95～99 頁に記載され、一般的により良く知られている）。図 7 の回路では、半導体スイッチ素子 5A がオンの期間①に変圧器 2 を正方向に励磁し、整流回路 3 および平滑フィルタ 4 を介して負荷に直流電力を供給する。これに対し、半導体スイッチ素子 5A がオフの期間②には、変圧器 4 の励磁エネルギーがリセット巻線 21B およびダイオード 7B を介して直流電源 1 に回生される。

【0004】図 8 にブッシュブル型直流-直流変換装置の従来例を示す。この回路は、直流電源 1 の正極側端子には変圧器 2 の一次巻線 21A と 21C との接続点が、変圧器 2 の一次巻線 21A の他方の端子と直流電源 1 の負極側端子間には半導体スイッチ素子 5A が、変圧器 2 の一次巻線 21C の他方の端子と直流電源 1 の負極側端子間には半導体スイッチ素子 5B が、変圧器 2 の二次巻線 22 には整流回路 3 が、整流回路 3 には平滑フィルタ（平滑回路）4 がそれぞれ接続されて構成されている。

【0005】図 10 に図 8 の動作波形を示す。この回路では、半導体スイッチ素子 5A がオンの期間①に変圧器 2 を正方向に励磁し、半導体スイッチ素子 5B をオンしている期間③に変圧器 2 を負方向に励磁し、整流回路 3 および平滑フィルタ 4 を介して負荷に直流電力を供給する。図 7、図 8 の回路では、半導体スイッチ素子 5A、5B のターンオフ時、半導体スイッチ素子のはね上がり電圧を抑制するとともに、電圧上昇率（ dv/dt ）を小さくしてスイッチング損失を低減するため、半導体スイッチ素子に対しスナバコンデンサ 531A、531B と放電抵抗 532A、532B などからなるスナバ回路 53A、53B を並列に接続している。これにより、スナバコンデンサ 531A、531B が吸収したエネルギーは、最終的に放電抵抗 532A、532B へ放出され

ることになる。

【0006】

【発明が解決しようとする課題】図7、図8の回路でスナバコンデンサが吸収したエネルギーは、次に半導体スイッチ素子がオンしたとき、放電抵抗へ放出され損失となる。いま、放電抵抗の損失をP、スナバコンデンサの静電容量をC、直流電源の電圧をE、変圧器のリセット電圧をV_r、半導体スイッチ素子の動作周波数をfとすると、図7の回路の場合は、

$$P = (1/2) \times C \times (E + V_r + \Delta V)^2 \times f$$

となり、図8の回路の場合は、

$$P = (1/2) \times C \times (2E + \Delta V)^2 \times f$$

となる。

【0007】したがって、直流電源の電圧E、変圧器のリセット電圧V_rおよび半導体スイッチ素子の動作周波数fが高くなると、放電抵抗における発生損失が大きくなるため、大形で高価なスナバ回路が必要となるだけでなく、装置の変換効率が低下するという問題がある。したがって、この発明の課題はスナバ回路を大形化せず、装置の変換効率を低下させないようにすることにある。

【0008】

【課題を解決するための手段】このような課題を解決すべく、請求項1の発明では、第1のダイオードの一方の端子と第1の半導体スイッチ素子の一方の端子とを直列接続した第1の直列アームと、第2の半導体スイッチ素子の一方の端子と第2のダイオードの一方の端子とを直列接続した第2の直列アームと、第1のスナバ回路とをそれぞれ並列に接続し、かつ、変圧器一次巻線のリセット巻線を接続していない側の端子を前記第1の直列アームの接続点に、前記変圧器リセット巻線の一次巻線を接続していない側の端子を前記第2の直列アームの接続点に、直流電源を変圧器の一次巻線とリセット巻線の接続点と前記第1の半導体スイッチ素子と前記第2のダイオードの接続点との間に並列に、前記変圧器の二次巻線には整流回路、この整流回路には平滑回路をそれぞれ接続し、さらに、スナバダイオードとスナバコンデンサとを直列接続した第2のスナバ回路を前記第1の半導体スイッチ素子と並列に、補助ダイオード、補助リアクトルおよび補助コンデンサを直列接続した直列回路を前記スナバダイオードと並列に、回生ダイオードを前記補助リアクトルと補助コンデンサとの接続点と前記第1のダイオードと第2の半導体スイッチ素子との並列接続点間に、第3のスナバ回路を前記第2の半導体スイッチ素子と並列に、それぞれ接続するようにしている。

【0009】請求項2の発明では、第1の半導体スイッチ素子の一方の端子と第2の半導体スイッチ素子の一方の端子とを直列接続した第1の直列アームと、第3の半導体スイッチ素子の一方の端子と第4の半導体スイッチ素子の一方の端子とを直列接続した第2の直列アーム

と、第1のスナバ回路とを互いに並列に接続し、かつ、中間端子をもつ変圧器一次巻線の一方の端子を前記第1の直列アームの直列接続点に、変圧器一次巻線の他方の端子を前記第2の直列アームの直列接続点に、直流電源を前記変圧器の中間端子と前記第2の半導体スイッチ素子と第4の半導体スイッチ素子との並列接続点間に、前記変圧器の二次巻線には整流回路、この整流回路には平滑回路をそれぞれ接続し、さらに、スナバダイオードとスナバコンデンサとを直列接続した第2、第3のスナバ回路を前記第1、第3の半導体スイッチ素子のそれぞれと個別かつ並列に、補助ダイオード、補助リアクトルおよび補助コンデンサを直列接続した直列回路を前記スナバダイオードとそれぞれ個別かつ並列に、第1、第2の回生ダイオードをそれぞれ前記補助リアクトルと補助コンデンサとの接続点と前記第2の半導体スイッチ素子と第4の半導体スイッチ素子との並列接続点間にそれぞれ個別に、第4、第5のスナバ回路を前記第2、第4の半導体スイッチ素子とそれぞれ個別かつ並列に、それぞれ接続するようにしている。

【0010】上記請求項1、2の発明では、半導体スイッチ素子のターンオフ時には、半導体スイッチ素子と対応するスナバ回路のコンデンサによって電圧上昇率を抑制し、スイッチング損失を低減させる。次に、半導体スイッチ素子がオンしている期間には、一方のスナバ回路のコンデンサに蓄えられている電荷を補助回路で吸収して補助コンデンサに移し、他方のスナバ回路のコンデンサに蓄えられている電荷を第1のスナバ回路に移す。そして、半導体スイッチ素子をオフすることにより、補助コンデンサに蓄えられている電荷を、回生ダイオードを介して第1のスナバ回路に移す。さらに、半導体スイッチ素子がオンしている期間に第1のスナバ回路に蓄えられている電荷を負荷に放出することで、スナバ回路での発生損失を低減させる。

【0011】

【発明の実施の形態】図1はこの発明の第1の実施の形態を示す回路図である。図7に示す従来例からスナバ回路53Aを省き、ダイオード7Aの一方の端子を変圧器一次巻線21Aと半導体スイッチ素子5Aとの接続点に、半導体スイッチ素子6Bの一方の端子を変圧器リセット巻線21Bとダイオード7Bとの接続点に、ダイオード7Aの他方の端子を半導体スイッチ素子6Bの他方の端子に、第1のスナバ回路8をダイオード7Aと半導体スイッチ素子6Bとの接続点と半導体スイッチ素子5Aとダイオード7Bの接続点との間に、スナバダイオード512Aとスナバコンデンサ511Aとを直列接続した第2のスナバ回路51Aを半導体スイッチ素子5Aと並列に、補助ダイオード523A、補助リアクトル522Aおよび補助コンデンサ521Aを直列接続した直列回路をスナバダイオード512Aと並列に、回生ダイオード524Aを補助リアクトル522Aと補助コンデン

サ521Aとの接続点とダイオード7Aと半導体スイッチ素子6Bとの接続点間に、第3のスナバ回路61Bを半導体スイッチ素子6Bと並列に、それぞれ接続して構成される。

【0012】図5に図1の動作波形を示す。なお、図1の直流出力動作は図7の場合と同様なので、以下では相違点のみを説明する。すなわち、半導体スイッチ素子5Aおよび半導体スイッチ素子6Bがターンオフしたとき、スナバコンデンサ511Aが半導体スイッチ素子5Aの電圧上昇率を、スナバ回路61Bが半導体スイッチ素子6Bの電圧上昇率をそれぞれ抑制する。次に、半導体スイッチ素子5Aがオンしている期間①に、スナバコンデンサ511Aに蓄えられている電荷を、スナバコンデンサ511A→補助ダイオード523A→補助リアクトル522A→補助コンデンサ521A→半導体スイッチ素子5Aの経路で補助リアクトル522Aおよび補助コンデンサ521Aに移す一方、スナバ回路61Bに蓄えられている電荷をスナバ回路61B→スナバ回路8→直流電源1→変圧器リセット巻線21Bの経路でスナバ回路8に移す。

【0013】スナバコンデンサ511Aが零電圧まで放電した後の期間②に、補助リアクトル522Aに蓄えられたエネルギーにより、補助リアクトル522A→補助コンデンサ521A→スナバダイオード512A→補助ダイオード523Aの経路で電流が流れ、補助リアクトル522Aの蓄積エネルギーを補助コンデンサ521Aに移す。さらに、半導体スイッチ素子5Aがオフしている期間④に、補助コンデンサ521Aに蓄えられている電荷を補助コンデンサ521A→回生ダイオード524A→スナバ回路8→直流電源1→変圧器一次巻線21Aの経路でスナバ回路8に移す。また、半導体スイッチ素子5Aと半導体スイッチ素子6Bが同時にオンしている期間②に、スナバ回路8に蓄えられている電荷をスナバ回路8→半導体スイッチ素子6B→変圧器リセット巻線21B→直流電源1の経路で放電し、スナバ回路8で吸収したエネルギーを負荷に放出する。

【0014】図2に図1の変形例を示す。これは、直流電源1の正極側端子を半導体スイッチ素子5Aとダイオード7Bとの接続点に、また、直流電源1の負極側端子を変圧器一次巻線21Aと変圧器リセット巻線21Bとの接続点にそれぞれ接続した点の特徴で、機能的には図1と全く同じ（動作も図5と同じ）なので詳細は省略する。

【0015】図3はこの発明の第2の実施の形態を示す回路図、図6はその動作説明図である。図8との相違点は、スナバ回路53Aおよび53Bを省き、変圧器一次巻線21Aの一方の端子を半導体スイッチ素子6Aと半導体スイッチ素子5Aとの直列接続点に、変圧器一次巻線21Cの一方の端子を半導体スイッチ素子6Bと半導体スイッチ素子5Bとの直列接続点に、第1のスナバ回

路8を半導体スイッチ素子6Aと半導体スイッチ素子6Bとの接続点と半導体スイッチ素子5Aと半導体スイッチ素子5Bとの接続点間に、直流電源1の正極側端子を変圧器2の中間端子に、直流電源1の負極側端子を半導体スイッチ素子5Aと半導体スイッチ素子5Bとの接続点に、スナバダイオード512Aとスナバコンデンサ511Aとを直列接続した第2のスナバ回路51Aを半導体スイッチ素子5Aと並列に、補助ダイオード523A、補助リアクトル522Aおよび補助コンデンサ521Aを直列接続した直列回路をスナバダイオード512Aと並列に、回生ダイオード524Aを補助リアクトル522Aと補助コンデンサ521Aとの接続点と半導体スイッチ素子6Aと半導体スイッチ素子6Bとの接続点間に、半導体スイッチ素子5Bに付属する第3のスナバ回路51Bおよび補助回路52Bも上記と同様に、第4のスナバ回路61Aを半導体スイッチ素子6Aと並列に、第5のスナバ回路61Bを半導体スイッチ素子6Bと並列に、それぞれ接続して構成される。

【0016】図6に図3の動作波形を示す。なお、図3の直流出力動作は図8の場合と同様なので、以下では相違点のみを説明する。すなわち、半導体スイッチ素子5Aおよび半導体スイッチ素子6Bがターンオフしたとき、スナバコンデンサ511Aが半導体スイッチ素子5Aの電圧上昇率を、スナバ回路61Bが半導体スイッチ素子6Bの電圧上昇率をそれぞれ抑制する。次に、半導体スイッチ素子5Aがオンしている期間①に、スナバコンデンサ511Aに蓄えられている電荷を、スナバコンデンサ511A→補助ダイオード523A→補助リアクトル522A→補助コンデンサ521A→半導体スイッチ素子5Aの経路で補助リアクトル522Aおよび補助コンデンサ521Aに移し、スナバ回路61Bに蓄えられている電荷をスナバ回路61B→スナバ回路8→直流電源1→変圧器一次巻線21Cの経路でスナバ回路8に移す。

【0017】スナバコンデンサ511Aが零電圧まで放電した後の期間②に、補助リアクトル522Aに蓄えられたエネルギーにより、補助リアクトル522A→補助コンデンサ521A→スナバダイオード512A→補助ダイオード523Aの経路で電流が流れ、補助リアクトル522Aの蓄積エネルギーを補助コンデンサ521Aに移す。さらに、半導体スイッチ素子5Aがオフしている期間④に、補助コンデンサ521Aに蓄えられている電荷を補助コンデンサ521A→回生ダイオード524A→スナバ回路8→直流電源1→変圧器一次巻線21Aの経路でスナバ回路8に移す。また、半導体スイッチ素子5Aと半導体スイッチ素子6Bが同時にオンしている期間②に、スナバ回路8に蓄えられている電荷を、スナバ回路8→半導体スイッチ素子6B→変圧器一次巻線21C→直流電源1の経路で放電し、スナバ回路8で吸収したエネルギーを負荷に放出する。半導体スイッチ素子

5 Bに付属するスナバ回路5 1 Bおよび補助回路5 2 B、半導体スイッチ素子6 Bに付属するスナバ回路6 1 Aについても、上記と同様の動作を行なうので、その詳細は省略する。

【0018】図4に図3の変形例を示す。これは、直流電源1の正極側端子を半導体スイッチ素子5 Aと半導体スイッチ素子5 Bとの接続点に、また、直流電源1の負極側端子を変圧器2の中間端子にそれぞれ接続した点が特徴で、機能的には図3と全く同じ（動作も図6と同じ）なので詳細は省略する。

【0019】

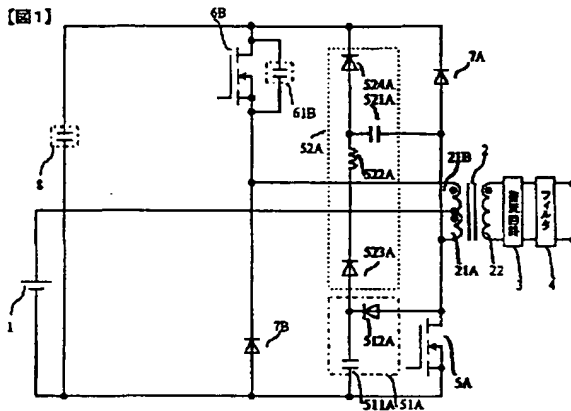
【発明の効果】この発明によれば、スナバ回路に蓄えられたエネルギーを負荷に放出するようにしたので、スナバ回路では損失が殆ど発生しないという利点がもたらされる。また、半導体スイッチ素子のターンオフ時の電圧上昇率を低減できるので、スイッチング損失および発熱が低減するという利点もある。その結果、装置の変換効率が向上し、放熱のための冷却装置を小形にできるという利点が得られる。

【図面の簡単な説明】

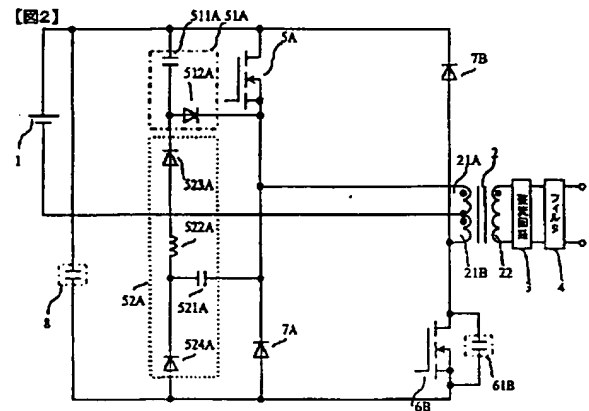
【図1】この発明による第1の実施の形態を示す回路図である。

【図2】図1の変形例を示す回路図である。

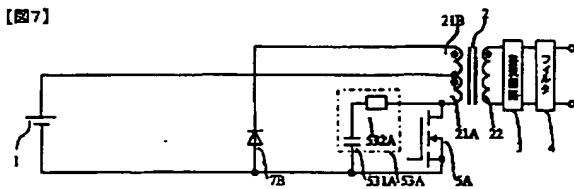
【図1】



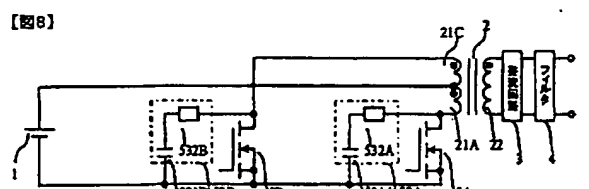
【図2】



【図7】



【図8】



【図3】この発明による第2の実施の形態を示す回路図である。

【図4】図3の変形例を示す回路図である。

【図5】図1、図2の動作説明図である。

【図6】図3、図4の動作説明図である。

【図7】第1の従来例を示す回路図である。

【図8】第2の従来例を示す回路図である。

【図9】図7の動作説明図である。

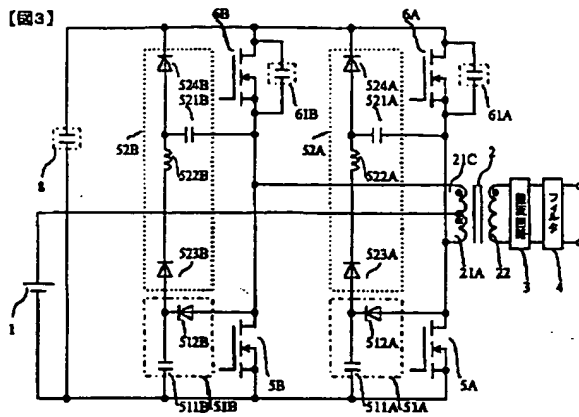
【図10】図8の動作説明図である。

10 【符号の説明】

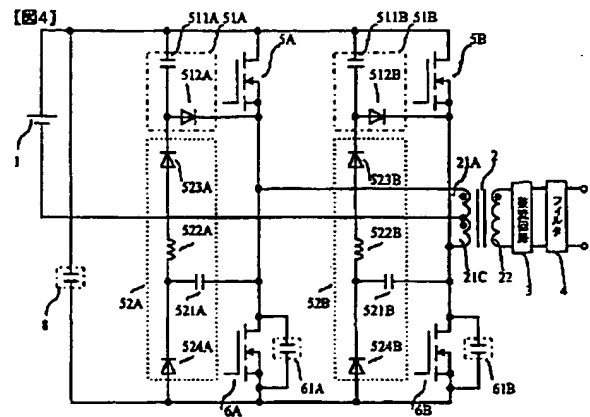
1…直流電源、2…変圧器、2 1 A、2 1 C…変圧器一次巻線、2 1 B…変圧器リセット巻線、2 2…変圧器二次巻線、3…整流回路、4…平滑回路（平滑フィルタ）、5 A、5 B、6 A、6 B…半導体スイッチ素子、5 1 A、5 1 B、5 3 A、5 3 B、6 1 A、6 1 B、8…スナバ回路、5 1 1 A、5 1 1 B、5 3 1 A、5 3 1 B…スナバコンデンサ、5 1 2 A、5 1 2 B…スナバダイオード、5 2 A、5 2 B…補助回路、5 2 1 A、5 2 1 B…補助コンデンサ、5 2 2 A、5 2 2 B…補助リアクトル、5 2 3 A、5 2 3 B…補助ダイオード、5 2 4 A、5 2 4 B…再生ダイオード、5 3 2 A、5 3 2 B…放電抵抗、7 A、7 B…ダイオード。

20

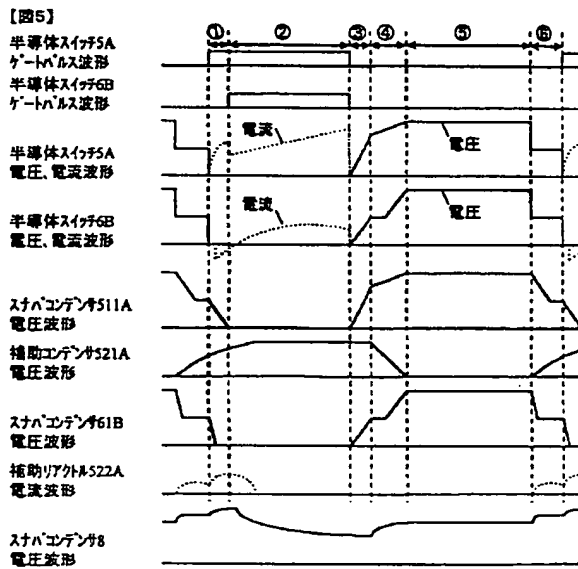
【図3】



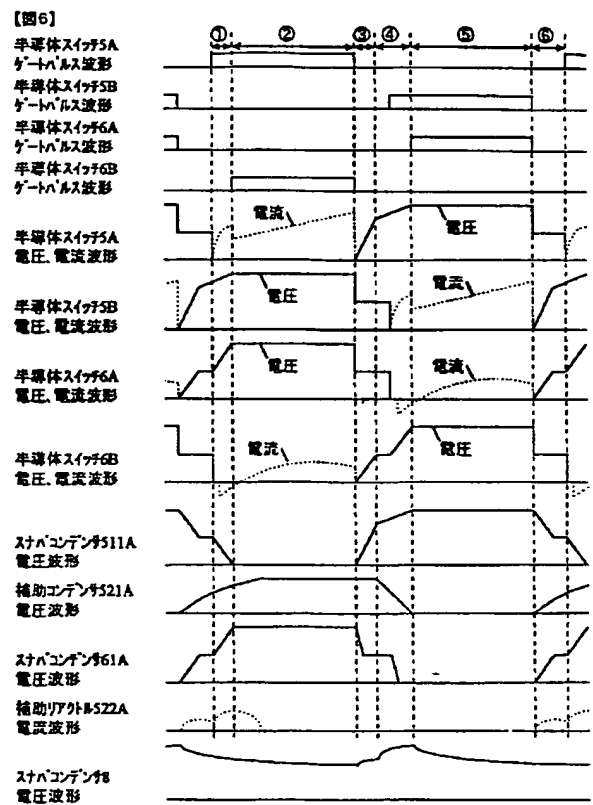
【図4】



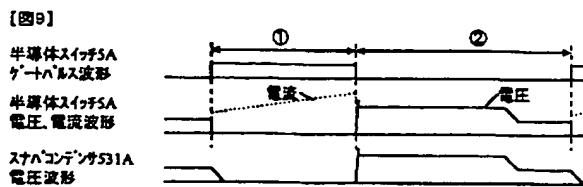
【図5】



【図6】



【図9】



【図10】

【図10】

半導体スイッチSA
 ゲートパルス波形
 半導体スイッチSB
 ゲートパルス波形
 半導体スイッチSA
 電圧、電流波形
 半導体スイッチSB
 電圧、電流波形
 スナバコンデンサ531A
 電圧波形
 スナバコンデンサ531B
 電圧波形

